



PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number

10/604,685

Filing Date

08/11/2003

First Named Inventor

Hung-En Tai

Group Art Unit

Examiner Name

Total Number of Pages in This Submission **3**

Attorney Docket Number

LKSP0018USA

ENCLOSURES (check all that apply)



Fee Transmittal Form



Fee Attached



Amendment / Reply



After Final



Affidavits/declaration(s)



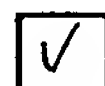
Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)

Response to Missing Parts/
Incomplete ApplicationResponse to Missing Parts
under 37 CFR 1.52 or 1.53Assignment Papers
(for an Application)

Drawing(s)



Licensing-related Papers



Petition

Petition to Convert to a
Provisional ApplicationPower of Attorney, Revocation
Change of Correspondence
Address

Terminal Disclaimer



Request for Refund



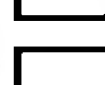
CD, Number of CD(s) _____

After Allowance Communication
to GroupAppeal Communication to Board
of Appeals and InterferencesAppeal Communication to Group
(Appeal Notice, Brief, Reply Brief)

Proprietary Information



Status Letter

Other Enclosure(s) (please
identify below):

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm
or
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Date

8/29/2003

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



PTO/SB/17 (01-03)

Approved for use through 04/30/2003. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/604,685
Filing Date	8/11/2003
First Named Inventor	Hung-En Tai
Examiner Name	
Art Unit	
Attorney Docket No.	LKSP0018USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit
Account
Number
Deposit
Account
Name

50-0801

North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments
☒ Charge any additional fee(s) during the pendency of this application
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	750	2001	375	Utility filing fee	
1002	330	2002	165	Design filing fee	
1003	520	2003	260	Plant filing fee	
1004	750	2004	375	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	84	2201	42	Independent claims in excess of 3
1203	280	2203	140	Multiple dependent claim, if not paid
1204	84	2204	42	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	410	2252	205	Extension for reply within second month	
1253	930	2253	465	Extension for reply within third month	
1254	1,450	2254	725	Extension for reply within fourth month	
1255	1,970	2255	985	Extension for reply within fifth month	
1401	320	2401	160	Notice of Appeal	
1402	320	2402	160	Filing a brief in support of an appeal	
1403	280	2403	140	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,300	2453	650	Petition to revive - unintentional	
1501	1,300	2501	650	Utility issue fee (or reissue)	
1502	470	2502	235	Design issue fee	
1503	630	2503	315	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	750	2809	375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	750	2810	375	For each additional invention to be examined (37 CFR 1.129(b))	
1801	750	2801	375	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)

Winston Hsu

Registration No.
(Attorney/Agent)

41,526

Telephone 886289237350

Signature

Date

8/29/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



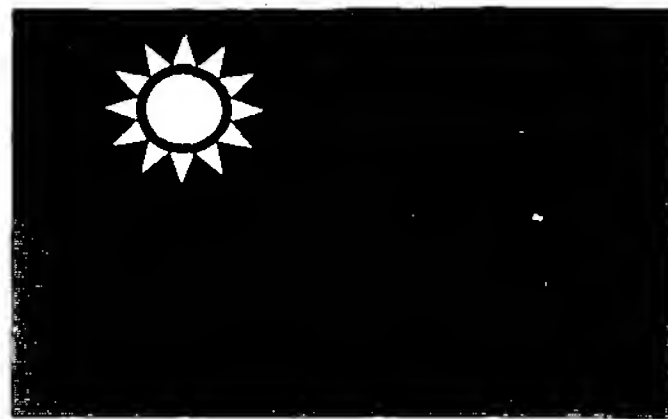
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
091138167	Taiwan, R.O.C.	12/31/2002	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 31 日
Application Date

申請案號：091138167
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 29 日
Issue Date

發文字號：09220766590
Serial No.

申請日期：9/12/31	IPC分類
申請案號：91138167	H01L24/11

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	缺陷檢測參數分析方法
	英文	METHOD FOR ANALYZING DEFECT INSPECTION PARAMETERS
二、發明人 (共2人)	姓名 (中文)	1. 戴鴻恩 2. 羅皓覺
	姓名 (英文)	1. Tai, Hung-En 2. Luo, Haw Jyue
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北縣樹林市龍興街32巷1號 2. 新竹市明湖路400巷72弄14號2樓
	住居所 (英文)	1. No. 1, Lane 32, Lungshing St., Shulin City, Taipei, Taiwan 238, R.O.C. 2. 2Fl., No. 14, Alley 72, Lane 400, Minghu Rd., Hsinchu, Taiwan 300, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 力晶半導體股份有限公司
	名稱或姓名 (英文)	1. Powerchip Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Li-Hsin Rd. I, Science-based Industrial Park, Hsin-Chu, Taiwan 300, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Huang, Frank

四、中文發明摘要 (發明名稱：缺陷檢測參數分析方法)

一種缺陷檢測參數分析方法，其係用以分析複數批分別具有一批號之產品，每批產品係經過複數個機台所製得，而每批產品中一片或以上之晶圓係至少經過一缺陷檢測項目之檢測以產生一缺陷檢測參數值，此缺陷檢測項目及其參數值、以及與此缺陷檢測項目相關的一製程站別係儲存於一資料庫中，本方法包括以下步驟：

搜尋資料庫以取得複數批產品之缺陷檢測參數值；

依據缺陷檢測參數值將複數批產品區分為至少一合格產品組及一不合格產品組；

自資料庫中搜尋與缺陷檢測項目相關之製程站別；

搜尋合格產品組於製程站別所經過之機台；

搜尋不合格產品組於製程站別所經過之機台；以及

判斷不合格產品組經過機率高於合格產品組經過機率的機台。

陸、英文發明摘要 (發明名稱：METHOD FOR ANALYZING DEFECT INSPECTION PARAMETERS)

A method for analyzing defect inspection parameters, which is utilized for analyzing a plurality of lots of products. Each of the lots has a lot number, and each wafer of these lots has been tested according to at least a defect inspection item. Moreover, the defect inspection item, a defect inspection parameter of the item, the correlations between defect inspection items



四、中文發明摘要 (發明名稱：缺陷檢測參數分析方法)

伍、(一)、本案代表圖為：圖3

(二)、本案代表圖之元件代表符號簡單說明：

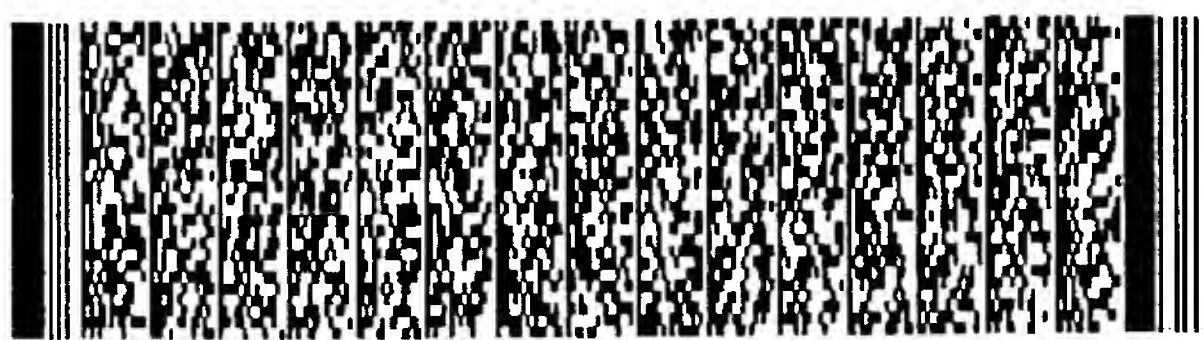
301~311 本發明較佳實施例之缺陷檢測參數分析方法的流程

陸、英文發明摘要 (發明名稱：METHOD FOR ANALYZING DEFECT INSPECTION PARAMETERS)

and manufacturing machine items are stored in a database. The method includes the following steps:

Retrieving the defect inspection parameters of the lots from the database;

Dividing the lots into a qualified group and a failed group based on the defect inspection parameters of the lots;



四、中文發明摘要 (發明名稱：缺陷檢測參數分析方法)

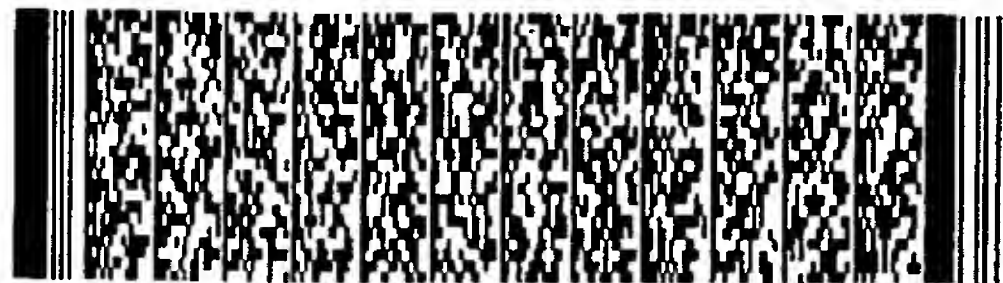
陸、英文發明摘要 (發明名稱：METHOD FOR ANALYZING DEFECT INSPECTION PARAMETERS)

Retrieving the manufacturing machine items, which are correlated with the defect inspection items, from the database;

Searching the manufacturing machines through which the qualified group has passed;

Searching the manufacturing machines through which the failed group has passed; and

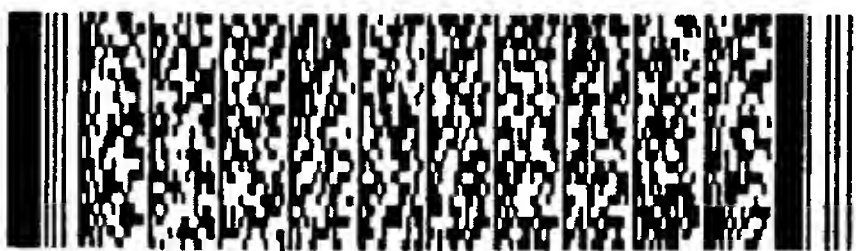
Estimating the manufacturing machines in which the



四、中文發明摘要 (發明名稱：缺陷檢測參數分析方法)

陸、英文發明摘要 (發明名稱：METHOD FOR ANALYZING DEFECT INSPECTION PARAMETERS)

probability that the failed group has passed through is greater than the probability that the qualified group has passed through.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

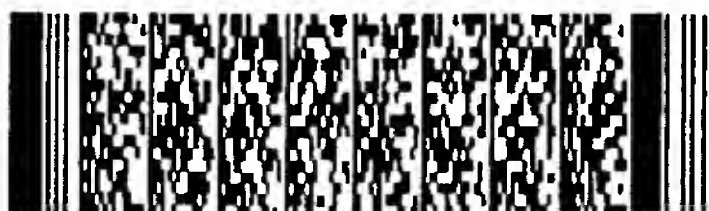
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

(一)、【發明所屬之技術領域】

本發明係關於一種製程參數分析方法，特別關於一種缺陷檢測參數之分析方法。

(二)、【先前技術】

在半導體製造技術中，要完成一半導體產品通常要經過許多個製程，例如微影製程、蝕刻製程、離子植入製程等；亦即在半導體製造過程中必須應用到龐大數量的機台，以及許多繁瑣的程序。因此，熟悉該項技術者皆致力於確保機台運作正常、維持或提高產品良率、偵測確認問題點以及機台維修等作業，以期使半導體產品的生產速度及品質能夠合乎客戶需求。

一般而言，要探討半導體製程的問題可以從下列數項資料著手進行分析，包括製程參數資料、線上品質測試 (In-line QC) 資料、缺陷檢測 (defect inspection) 資料、樣品測試 (sample test) 資料、晶圓測試 (wafer test) 資料以及封裝後測試 (final test) 資料。其中，缺陷檢測資料乃是針對晶圓 (wafer) 的每一層別進行缺陷的檢測，如缺陷總數量 (total count)、缺陷增加數量 (adder count)、或缺陷類別數量 (class count)，所得到的測試值，其通常以缺陷分布圖來表示。

在習知技術中，請參照圖1所示，首先進行步驟101，此時熟知技術者會針對每一晶圓進行各項缺陷檢測項目的測試，如內金屬介電層 (inter-metal dielectric

五、發明說明 (2)

layer) 的缺陷數量檢測等。

接著，在步驟102中，熟知技術者會觀察每一晶圓的各項缺陷檢測項目之結果，以便找出缺陷檢測結果有偏差的產品。如圖2所示，在一片晶圓中會切割成複數個晶格(die)21，其中包括有複數個黑點，其係表示此晶圓之某一層別的缺陷22之位置，如圖2所示即表示缺陷的分布圖。

步驟103係由熟知技術者根據經驗，以及自步驟102中所選出的異常產品之缺陷分布圖，來判斷可能有問題的製程站別，如多晶矽層形成製程、金屬層形成製程、內金屬介電層形成製程等。

最後，在步驟104中，熟知技術者係檢查步驟103所判斷之製程站別中的各機台，以便找出異常的機台。舉例而言，熟知技術者可以依據內金屬介電層的缺陷總數量檢測不合規格，判斷有問題的製程站別為內金屬介電層的沉積製程站別，並檢查出異常的機台，如沉積機台、蝕刻機台等。

然而，由於在習知技術中乃是利用人為經驗判斷來決定分析結果(步驟103)，所以最後分析出來之結果的精確度及可信度將有待商榷；再加上半導體製造業之人士更迭頻繁，導致前後期工程師之間的經驗傳承不易，且每一位工程師能力有限、無法兼顧廠區所有機台的操作狀態，故當半導體產品的缺陷檢測結果發生異常時，工程師不見得有足夠的經驗快速且正確地判斷出是哪一個環節出問

五、發明說明 (3)

題，因而可能必須耗費許多時間來進行相關研究，甚至有可能做出錯誤的判斷，如此一來，不但降低製程的效率、增加生產成本，還無法及時改善線上生產情形以提高良率。

因此，如何提供一種能夠在半導體產品的缺陷檢測資料發生異常時，快速且正確地判斷出是哪一個環節出問題的分析方法，正是當前半導體製造技術的重要課題之一。

(三)、【發明內容】

有鑑於上述課題，本發明之目的為提供一種能夠在半導體產品的缺陷檢測資料發生異常時，快速且正確地判斷出是哪一個環節出問題的缺陷檢測參數分析方法。

本發明之另一目的為提供一種能夠依據缺陷檢測及晶圓測試之結果來修正缺陷檢測之kill ratio的缺陷檢測參數分析方法。

本發明之特徵係配合一記錄有各項缺陷檢測項目及與其相關之製程機台的資料庫並利用共通性分析手法來進行缺陷檢測參數之分析。

緣是，為達上述目的，依本發明之缺陷檢測參數分析方法係用以分析複數批分別具有一批號之產品，每批產品係經過複數個機台所製得，而每批產品中的每一片晶圓係至少經過一缺陷檢測項目之檢測以產生一缺陷檢測參數值，此缺陷檢測項目及其參數值、以及與此缺陷檢測項目相關的一製程站別係儲存於一資料庫中，本方法包括以下

五、發明說明 (4)

數個步驟：搜尋資料庫以取得複數批產品之缺陷檢測參數值；依據缺陷檢測參數值將複數批產品區分為至少一合格產品組及一不合格產品組；自資料庫中搜尋與缺陷檢測項目相關之製程站別；搜尋合格產品組於製程站別所經過之機台；搜尋不合格產品組於製程站別所經過之機台；以及判斷不合格產品組經過機率高於合格產品組經過機率的機台。

此外，每批產品中的每一片晶圓係更經過與缺陷檢測項目相關的一晶圓測試項目之檢測以產生一晶圓測試參數值，而資料庫中更儲存有此晶圓測試項目及晶圓測試參數值，而依本發明之缺陷檢測參數分析方法更利用疊圖方式比對晶圓測試參數值分布圖與缺陷分布圖，以便找出較佳之缺陷檢測的kill ratio。

承上所述，因依本發明之缺陷檢測參數分析方法係配合記錄有各項缺陷檢測項目及與其相關之製程機台的資料庫並利用共通性分析手法來分析缺陷檢測參數，所以能夠在半導體產品的缺陷檢測資料發生異常時，快速且正確地判斷出是哪一個環節出問題，並找出異常之機台，另外還能夠依據缺陷檢測及晶圓測試之結果來修正缺陷檢測之kill ratio，因此能夠有效地減少人為判斷的錯誤來提高製程的效率、減少生產成本、並及時改善線上生產情形以提高良率。

(四)、【實施方式】

五、發明說明 (5)

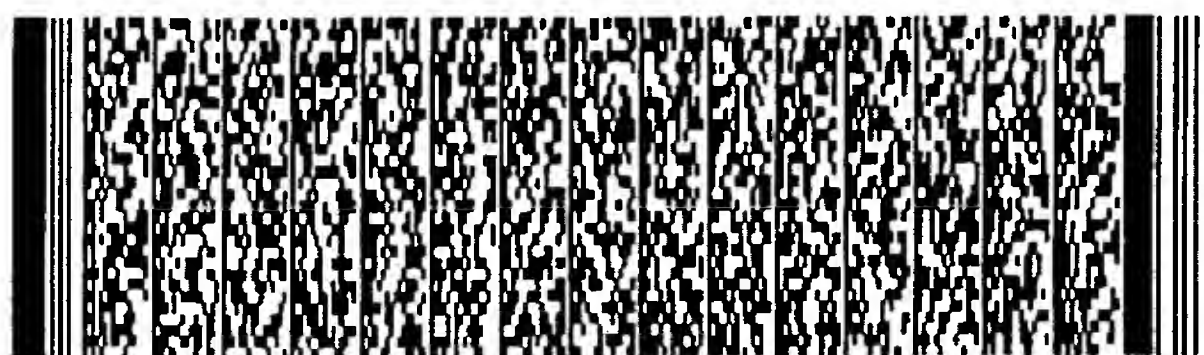
以下將參照相關圖式，說明依本發明較佳實施例之缺陷檢測參數分析方法，其中相同的元件將以相同的參照符號加以說明。

請參照圖3所示，圖中顯示本發明較佳實施例之缺陷檢測參數分析方法的流程圖，其係用以在半導體產品的缺陷檢測資料發生異常時，快速且正確地判斷出是哪一個機台出問題。

首先，步驟301係搜尋一資料庫以取得複數批產品之缺陷檢測參數值。其中，每一批 (lot) 產品係具有一批號 (lot number)，且每批產品包括有25片晶圓，而每批產品係經過複數道製程的複數個機台，每批產品中的一片或以上之晶圓係至少經過一缺陷檢測項目之檢測以產生一缺陷檢測參數值。在本實施例中，缺陷檢測結果可以分為缺陷總數量 (total count)、缺陷增加數量 (adder count)、或缺陷類別數量 (class count)；而缺陷檢測參數值可以是由一缺陷分布圖所表示，以缺陷增加數量的缺陷分布圖為例，請參照圖2所示，其中分布於晶圓之複數個晶格21中的複數個黑點分別表示一缺陷22。需注意者，一片晶圓可能於不同的層別皆具有缺陷，則此時一片晶圓會具有一張以上之缺陷分布圖。

接著，步驟302係將每一批產品的缺陷檢測結果以圖表顯示。在本實施例中，本步驟係利用長條圖

(histogram) 來表示每批產品之缺陷檢測參數值，如缺陷總數量、缺陷增加數量、或缺陷類別數量，因此工程師



五、發明說明 (6)

能夠觀察此長條圖而瞭解缺陷檢測參數值的分布結果。

在步驟303中，於步驟301所取得之複數批產品係被區分為至少二產品組，其區分的標準為是否合乎各缺陷檢測參數值的預設規格，而這數批產品係被區分為一合格產品組及一不合格產品組。在本實施例中，本步驟係將缺陷檢測參數值在預設規格之範圍內的數批產品設定為A組（合格產品組）產品，例如包括批號1、2、3、4、及5（如步驟304所示）；以及將缺陷檢測參數值不在預設規格之範圍內的數批產品設定為B組（不合格產品組）產品，例如包括批號6、7、8、9、及10（如步驟305所示）。

然後，步驟306係自一經驗累積資料庫中搜尋與所分析的缺陷檢測項目之層別相關的製程站別；例如，若所分析的缺陷檢測項目之層別為內金屬介電層，則與其相關之製程站別可能為第一道金屬層之後的介電層之沉積製程站別、微影製程站別、或蝕刻製程站別。在本實施例中，此經驗累積資料庫係包括有資深工程師根據其過往追蹤問題時所累積之經驗；此外，電腦系統根據本發明之方法所推導出之資料，亦會儲存於此資料庫中。

當步驟306自資料庫中搜尋與所分析的缺陷檢測項目之層別相關的製程站別後，步驟307係顯示經過步驟306之搜尋後，應追蹤之項目為某一製程站別。

接著，於步驟308中，其係先搜尋被追蹤之製程站別係包括哪些機台，例如E 1, E 2, E 3...。接著，步驟309係計算B組產品經過此製程站別之該等機台的機率。另外，

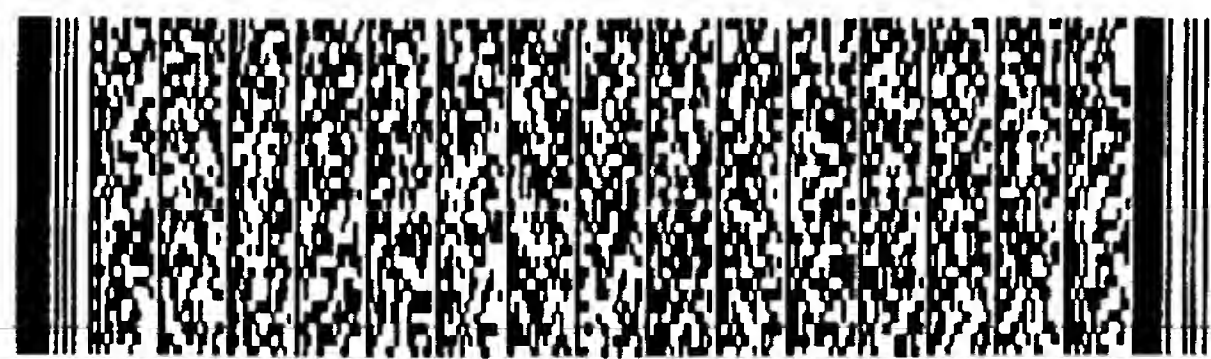
五、發明說明 (7)

步驟310係計算A組產品經過此製程站別之該等機台的機率。最後，於步驟311中，利用共通性分析手法，找出B組產品經過機率高於A組產品經過機率之機台。由步驟311所求得的這些B組產品經過機率高之機台，就是依本發明較佳實施例之缺陷檢測參數分析方法所分析出的可能有問題之機台。

另外，請參照圖4所示，依本發明另一較佳實施例之流程圖，本實施力提供依種利用缺陷分布狀況與晶圓測試結果來修正缺陷數量管制標準的方法。在本實施例中，每批產品中的每一片晶圓係更經過一晶圓測試項目之檢測以產生一晶圓測試參數值，該資料庫更儲存有晶圓測試項目及其參數值、以及缺陷檢測項目與晶圓測試項目之相關性。

首先，步驟401係搜尋資料庫以取得複數批產品之缺陷檢測參數值。如前所述，每一批產品係具有一批號，且每批產品包括有25片晶圓，而每批產品中的一片或以上之晶圓係經過缺陷檢測項目，且每片晶圓會經過晶圓測試項目之檢測以產生缺陷檢測參數值及晶圓測試參數值。在本實施例中，缺陷檢測參數值可以是由一缺陷分布圖所表示（如圖2所示），其中分布於晶圓之複數個晶格21中的複數個黑點即分別表示一缺陷22，而具有黑點之晶格即為缺陷晶格23。需注意者，一片晶圓可能於不同的層別皆具有缺陷，則此時一片晶圓會具有一張以上之缺陷分布圖。

接著，在步驟402中，其係判斷經過步驟401所取得之

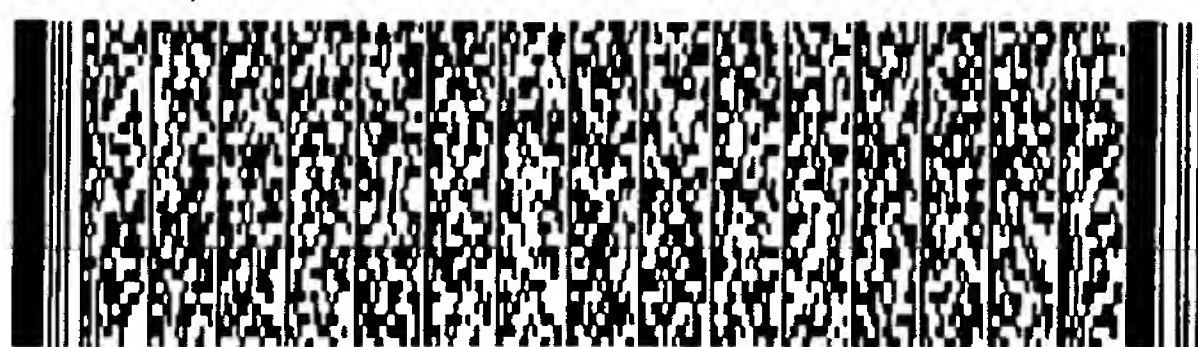
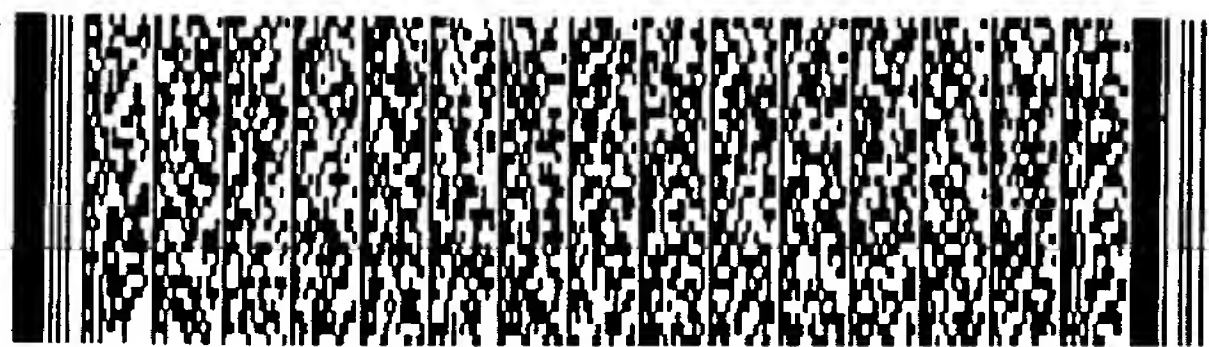


五、發明說明 (8)

每批產品的缺陷檢測參數值是否超過預設規格。一般而言，缺陷檢測參數值之預設規格可以是一定範圍，本步驟係判斷所取得之每批產品的缺陷檢測參數值是否超過預設規格的上限 (UCL)，另外，本步驟所分析判斷之缺陷檢測項目可以是缺陷總數量、缺陷增加數量、或缺陷類別數量。在本實施例中，步驟402係針對每批產品之每片晶圓進行搜尋，若一批產品中包含一片以上之缺陷超過預設規格的晶圓，則接著進行步驟403以挑出具有缺陷之產品批號，若否，則停止分析。接著，於步驟404中找出具有缺陷之晶圓的缺陷分布圖。

然後，步驟405係判斷資料庫中是否儲存有步驟403所取得之批號的該批產品的晶圓測試參數值。在本實施中，晶圓測試參數值可以由一晶圓測試參數值分布圖所表示，如圖5所示，在一片晶圓中會切割成複數個晶格，其中包括有複數個失格晶格51（以黑色顯示）以及複數個合格晶格52（以白色顯示）。此時，若步驟405判斷資料庫中儲存有晶圓測試參數值時，則接著進行步驟406以取得該批產品的各晶圓之晶圓測試參數值分布圖；若否，則停止分析。需注意者，在步驟405、406中所分析搜尋的晶圓測試參數值係為與缺陷檢測項目相關之晶圓測試項目，例如是功能測試 (function test) 項目、或電源供應電流測試 (IDDQ test) 項目。

接著，於步驟407中，其係利用疊圖之方式比對由步驟404所找出之缺陷分布圖與由步驟406所取得之晶圓測試



五、發明說明 (9)

參數值分布圖，以取得二分佈圖的重疊晶格數以便計算出重疊晶格數與失格晶格之數量的比值；在本步驟中，重疊晶格數係為該等缺陷晶格與該等失格晶格重疊的數量。然後，於步驟408中判斷比值是否大於等於一預設值，例如為50%，若否，則掠過此層別，當所有層別皆略過時停止分析；若是，則進行步驟409。

於步驟409中，其係將經過上述步驟分析後之產品批號、層別資料及缺陷數目等資料挑出。在本實施例中，本步驟係先將所分析之層別標示為一缺陷層，然後搜尋包括有至少具有此缺陷層之晶圓的該批產品及其批號，以便挑出其產品批號、層別資料及缺陷數目等資料。

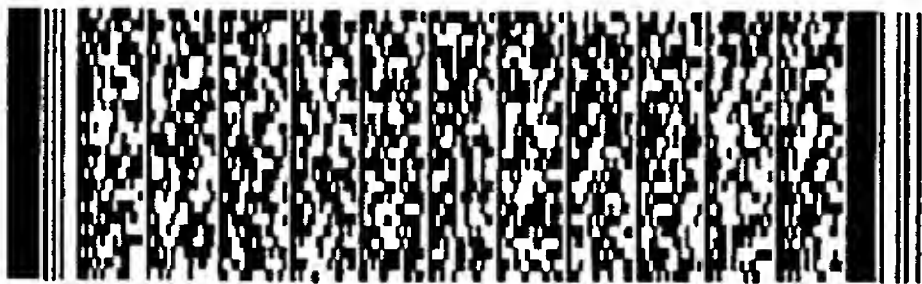
此外，步驟410會進行統計分析之動作，其係求出一代表值來作為該層別之缺陷數目的kill ratio。同時，於步驟411中，根據此一缺陷數目的kill ratio，依本發明較佳實施例之缺陷檢測參數分析方法能夠在後續製作此層別之產品中，預測此產品之良率。

綜上所述，由於依本發明之缺陷檢測參數分析方法係配合記錄有各項缺陷檢測項目及與其相關之製程機台的資料庫並利用共通性分析手法來分析缺陷檢測參數，所以能夠在半導體產品的缺陷檢測資料發生異常時，快速且正確地判斷出是哪一個環節出問題，並找出異常之機台，另外還能夠依據缺陷檢測及晶圓測試之結果來修正缺陷檢測之kill ratio，因此能夠有效地減少人為判斷的錯誤來提高製程的效率、減少生產成本、並及時改善線上生產情形以

五、發明說明 (10)

提高良率。

以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。



圖式簡單說明

(五)、【圖式簡單說明】

圖1為一流程圖，顯示習知缺陷檢測參數分析方法的流程；

圖2為一示意圖，顯示晶圓之缺陷檢測參數值分佈圖；

圖3為一流程圖，顯示依本發明較佳實施例之缺陷檢測參數分析方法的流程；

圖4為一流程圖，顯示依本發明另一較佳實施例之缺陷檢測參數分析方法的流程；以及

圖5為一示意圖，顯示晶圓之晶圓測試參數值分佈圖。

元件符號說明：

101~104 習知缺陷檢測參數分析方法的流程

21 晶格

22 缺陷

23 缺陷晶格

301~311 本發明較佳實施例之缺陷檢測參數分析方法的流程

401~411 本發明另一較佳實施例之缺陷檢測參數分析方法的流程

51 失格晶格

52 合格晶格



六、申請專利範圍

1、一種缺陷檢測參數分析方法，其係用以分析複數批分別具有一批號之產品，該複數批產品係經過複數個機台所製得，而每批產品中的一片或以上之晶圓係至少經過一缺陷檢測項目之檢測以產生一缺陷檢測參數值，該缺陷檢測項目及與該缺陷檢測項目相關的一製程站別係儲存於一資料庫中，該資料庫亦儲存有該缺陷檢測參數值，該缺陷檢測參數分析方法包含：

搜尋該資料庫以取得該複數批產品之缺陷檢測參數值；
依據該缺陷檢測參數值將該複數批產品區分為至少二產品組，該等產品組包含一合格產品組及一不合格產品組；
自該資料庫中搜尋與該缺陷檢測項目相關之該製程站別；
搜尋該合格產品組於該製程站別所經過之機台；
搜尋該不合格產品組於該製程站別所經過之機台；以及
判斷該不合格產品組經過機率高於該合格產品組經過機率的機台。

2、如申請專利範圍第1項所述之缺陷檢測參數分析方法，其係利用共通性分析手法來判斷該不合格產品組經過機率高於該合格產品組經過機率的機台。

3、如申請專利範圍第1項所述之缺陷檢測參數分析方法，其中該缺陷檢測參數值係為一缺陷總數量 (total count)、一缺陷增加數量 (adder count) 及一缺陷類別數量 (class count) 其中之一。



六、申請專利範圍

4、如申請專利範圍第3項所述之缺陷檢測參數分析方法，更包含：

利用長條圖（histogram）表示該複數批產品之該缺陷檢測參數值。

5、如申請專利範圍第1項所述之缺陷檢測參數分析方法，其中每批產品中的每一片晶圓係更經過與該缺陷檢測項目相關的一晶圓測試項目之檢測以產生一晶圓測試參數值，該資料庫更儲存有該晶圓測試項目及該晶圓測試參數值，該缺陷檢測參數分析方法更包含：

判斷該複數批產品之缺陷檢測參數值是否大於一第一標準值；

當判斷該複數批產品之缺陷檢測參數值大於該第一標準值，取得具有缺陷之產品的批號；

於該批產品中取得缺陷所在之各晶圓上的複數個層別，其中各層別分別具有一缺陷分布圖，該缺陷分布圖具有複數個缺陷晶格；

搜尋具有缺陷之該批產品的各晶圓之晶圓測試參數值分布圖，該晶圓測試參數值分布圖具有複數個失格晶格；

將各層別之缺陷分布圖與該晶圓測試參數值分布圖進行疊圖動作，以取得一重疊晶格數，該重疊晶格數係為該等缺陷晶格與該等失格晶格重疊的數量；

計算該重疊晶格數與該失格晶格之數量的比值；



六、申請專利範圍

判斷該比值是否大於或等於一第二標準值；
當判斷該比值小於該第二標準值時，略過該層別；
當判斷該比值大於或等於該第二標準值時，將該層別標示為一缺陷層；以及
搜尋包含有至少具有該缺陷層之晶圓的該批產品及其批號。

6、如申請專利範圍第5項所述之缺陷檢測參數分析方法，更包含：

依據該缺陷層的缺陷數目以統計分析方式產生一作為該缺陷層之缺陷kill ratio的第三標準值。

7、如申請專利範圍第6項所述之缺陷檢測參數分析方法，更包含：

依據該第三標準值預測在後續製程中，進行至該缺陷層的該批產品之良率。

8、如申請專利範圍第5項所述之缺陷檢測參數分析方法，更包含：

判斷該資料庫中是否儲存有該晶圓測試參數值；
當判斷該資料庫中未儲存有該晶圓測試參數值時，停止搜尋動作；以及
當判斷該資料庫中儲存有該晶圓測試參數值時，取得具有缺陷之該批產品的各晶圓之晶圓測試參數值分布圖。

六、申請專利範圍

9、如申請專利範圍第5項所述之缺陷檢測參數分析方法，其中該晶圓測試項目為功能測試（function test）項目。

10、如申請專利範圍第5項所述之缺陷檢測參數分析方法，其中該晶圓測試項目為電源供應電流測試（IDDQ test）項目。



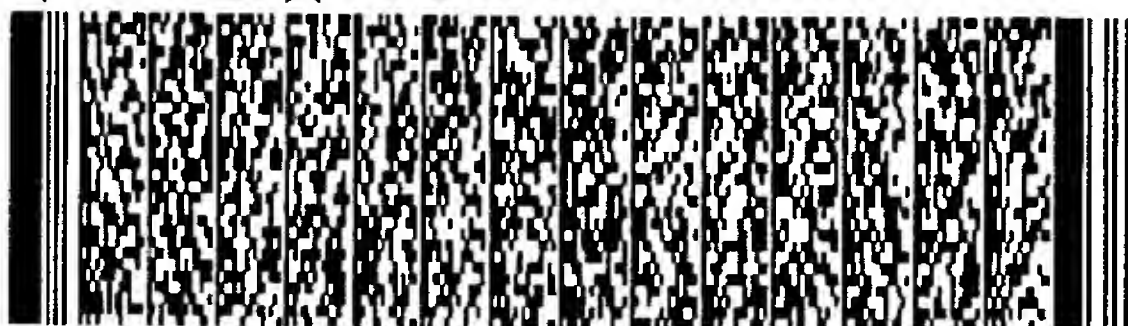
第 1/21 頁



第 1/21 頁



第 2/21 頁



第 2/21 頁



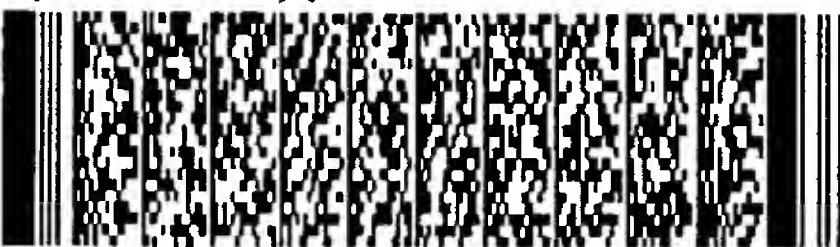
第 3/21 頁



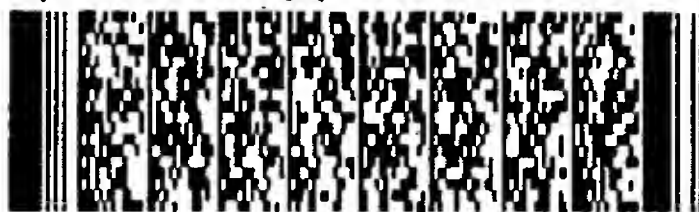
第 4/21 頁



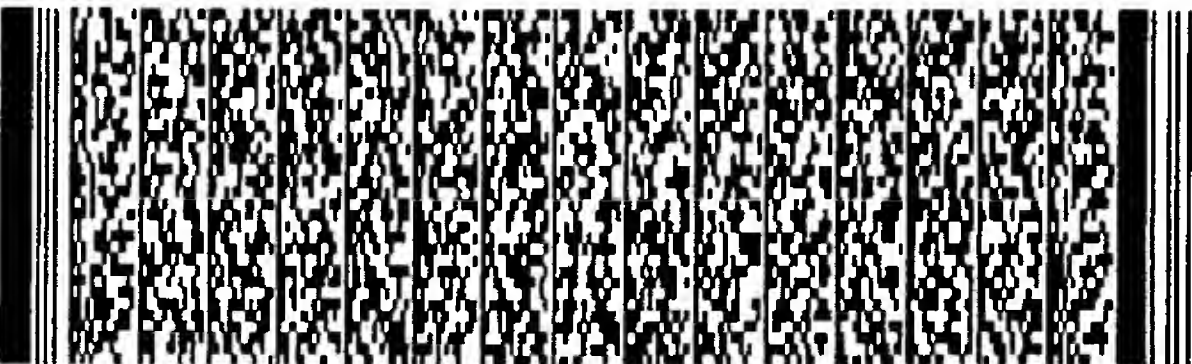
第 5/21 頁



第 6/21 頁



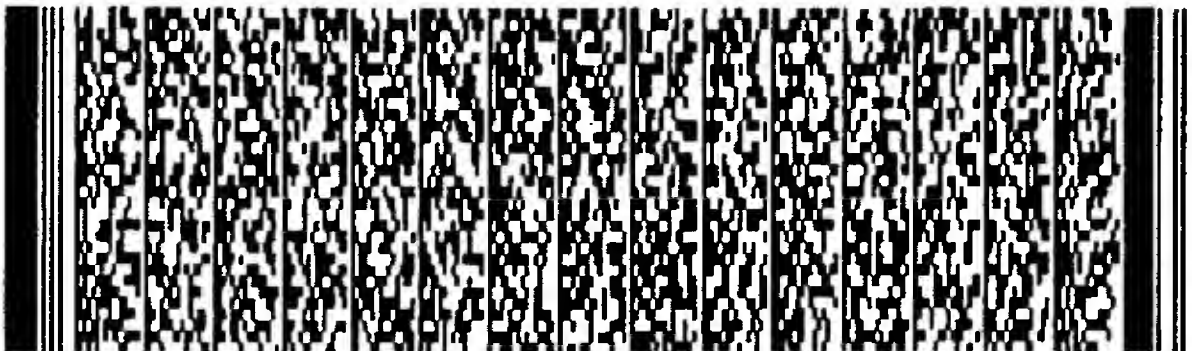
第 7/21 頁



第 7/21 頁



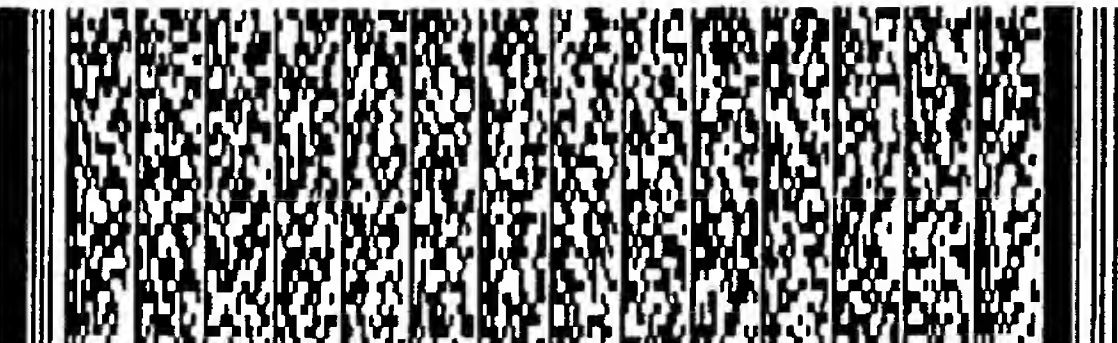
第 8/21 頁



第 8/21 頁



第 9/21 頁



第 9/21 頁



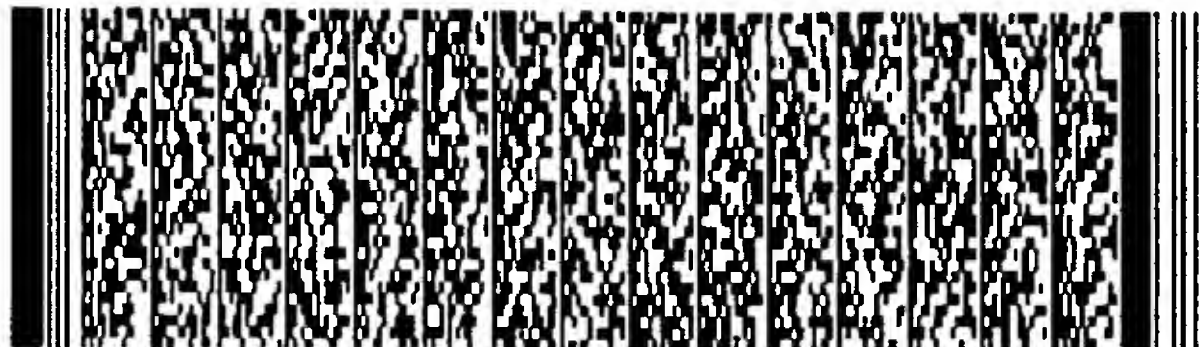
第 10/21 頁



第 10/21 頁



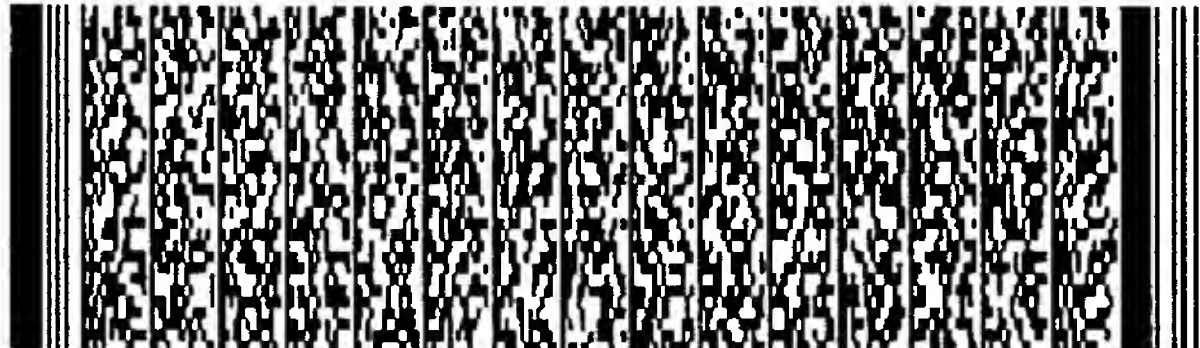
第 11/21 頁



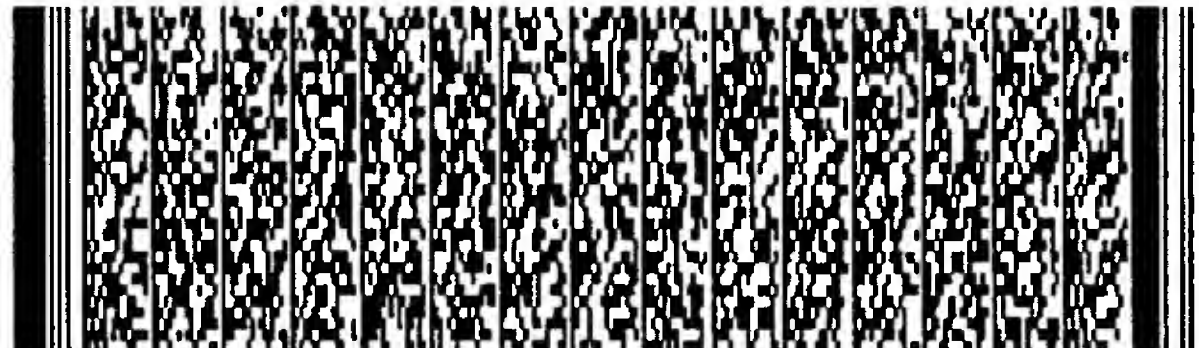
第 11/21 頁



第 12/21 頁



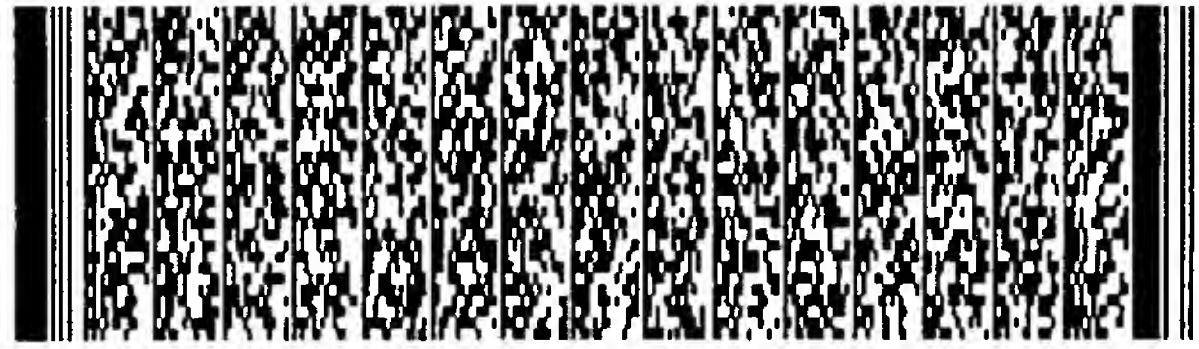
第 12/21 頁



第 13/21 頁



第 13/21 頁



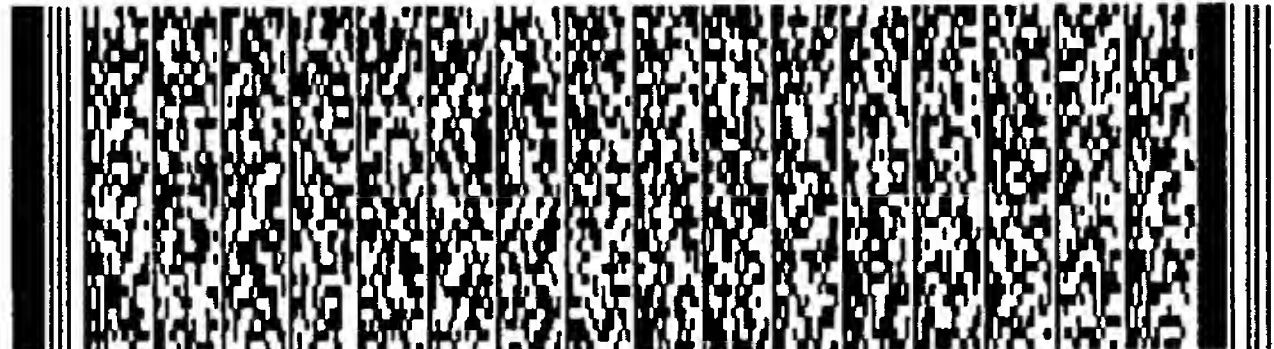
第 14/21 頁



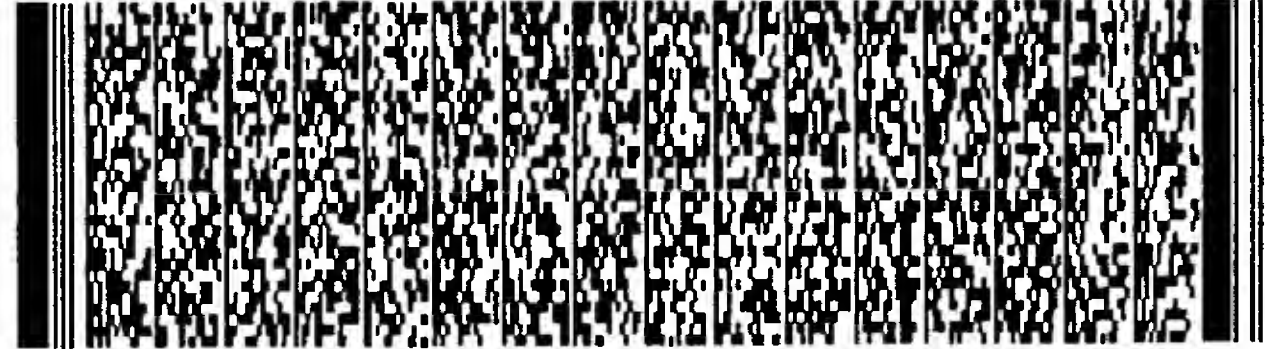
第 14/21 頁



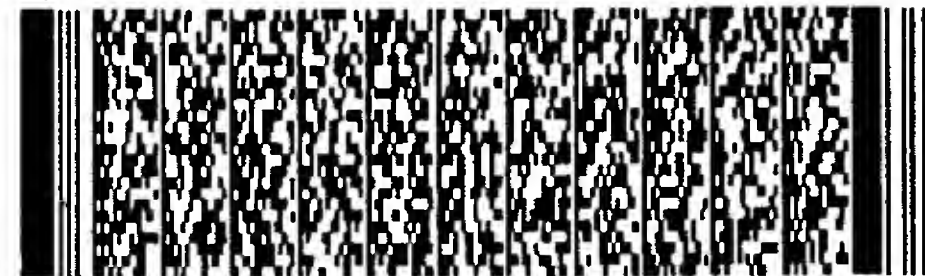
第 15/21 頁



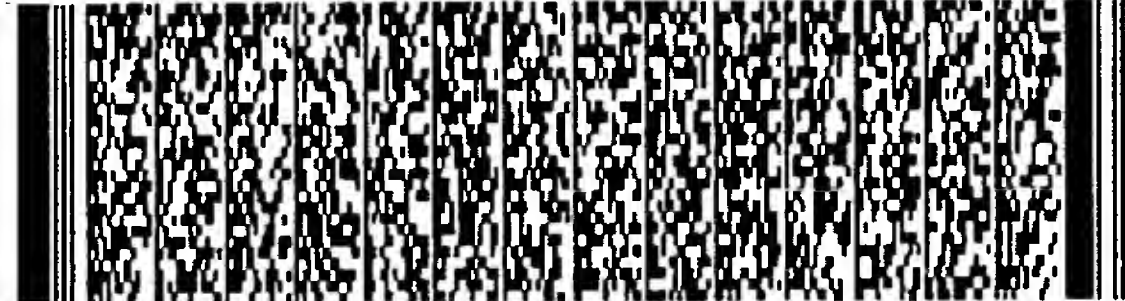
第 15/21 頁



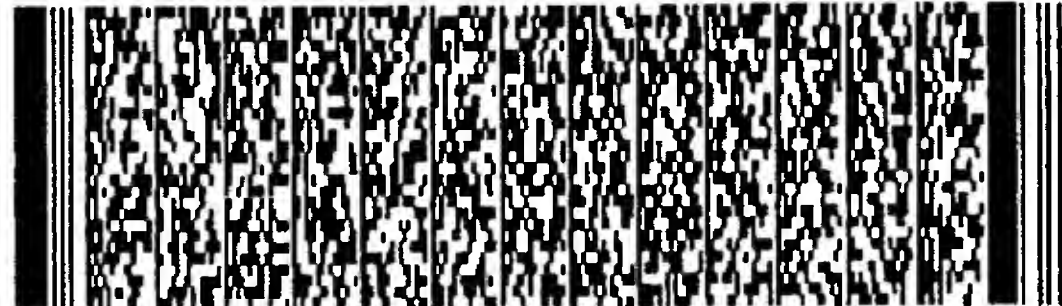
第 16/21 頁



第 17/21 頁



第 18/21 頁



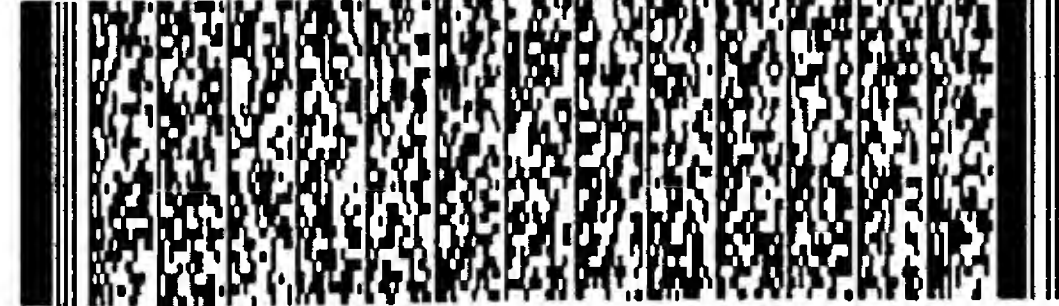
第 18/21 頁



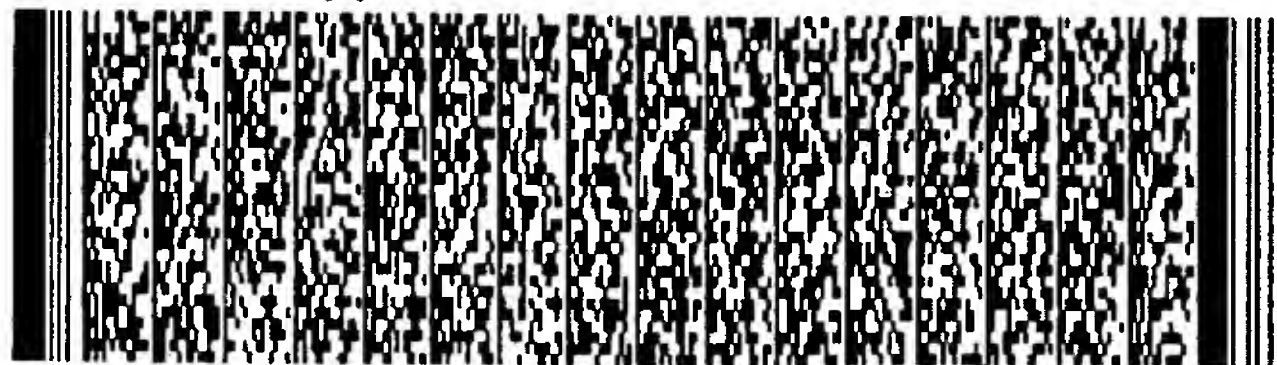
第 19/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁



圖式

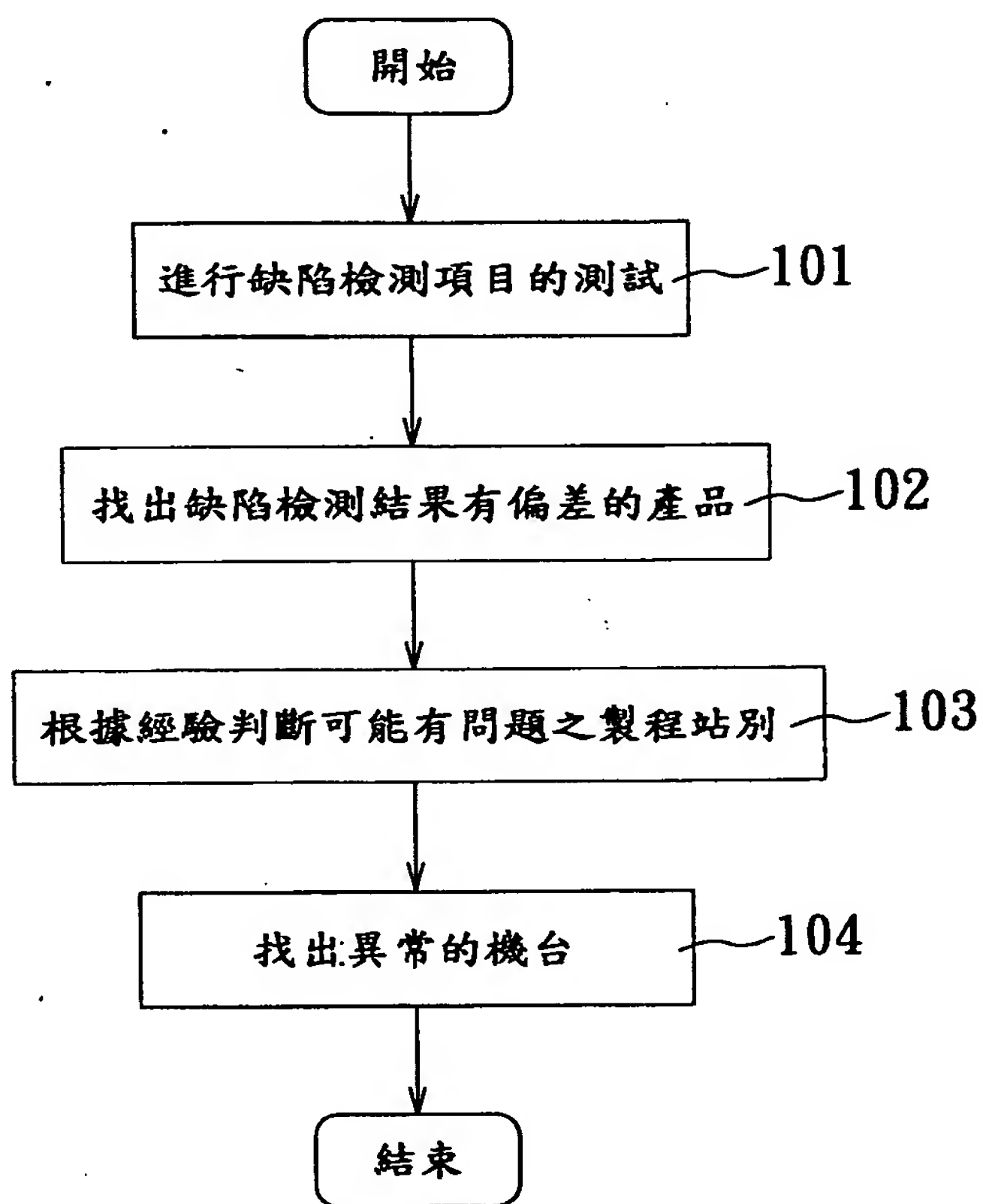


圖1

圖式

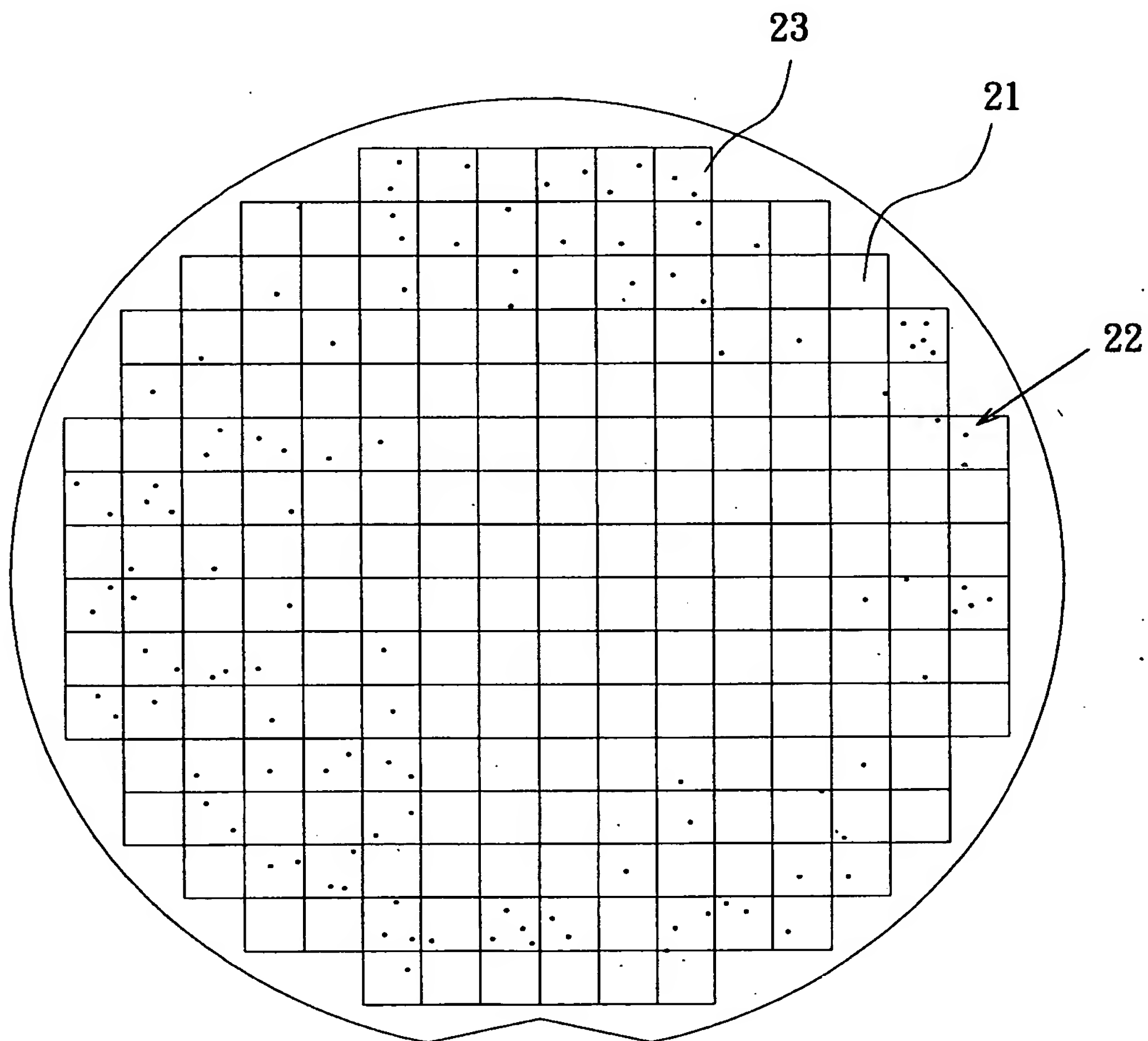


圖2

圖式

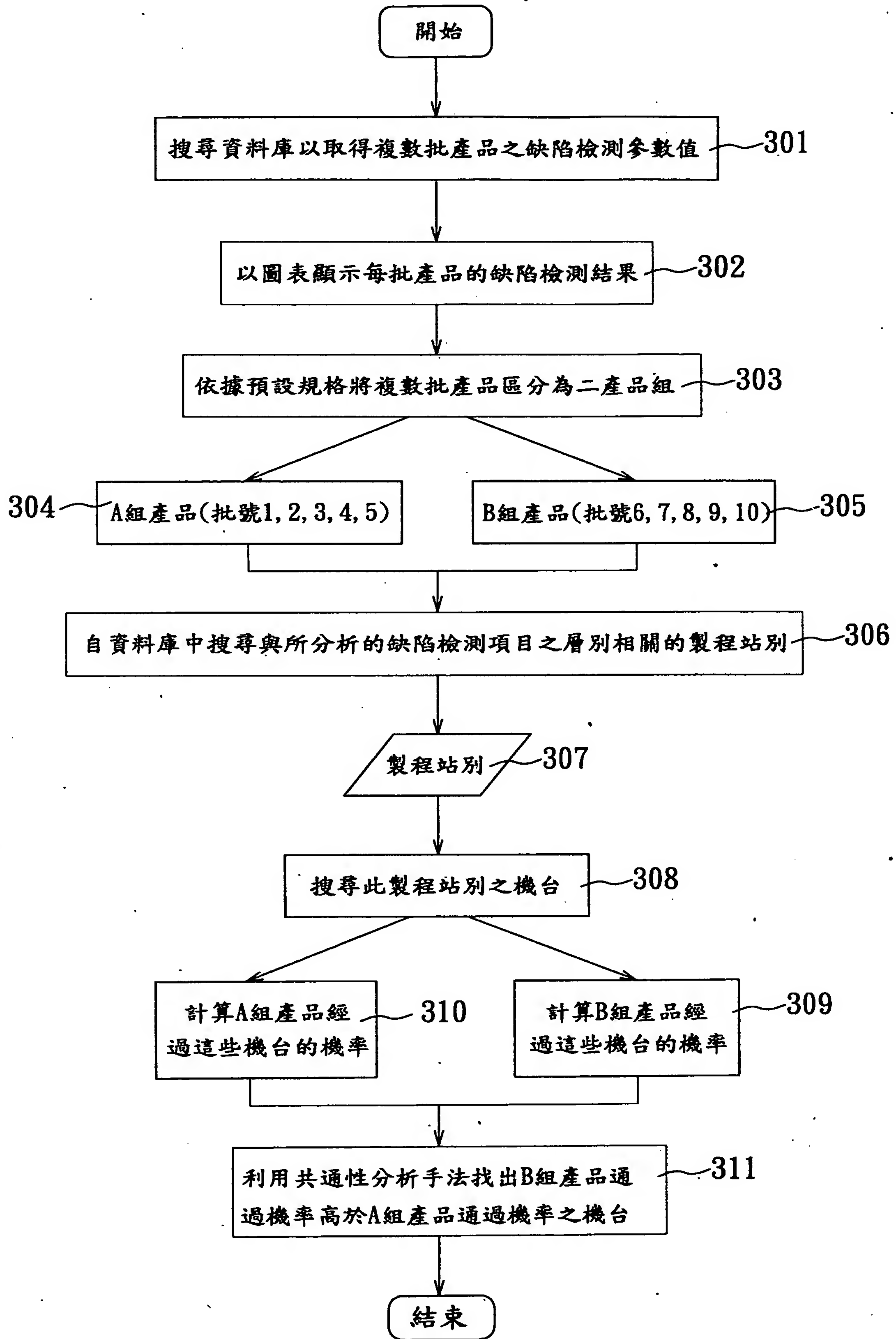


圖3

圖式

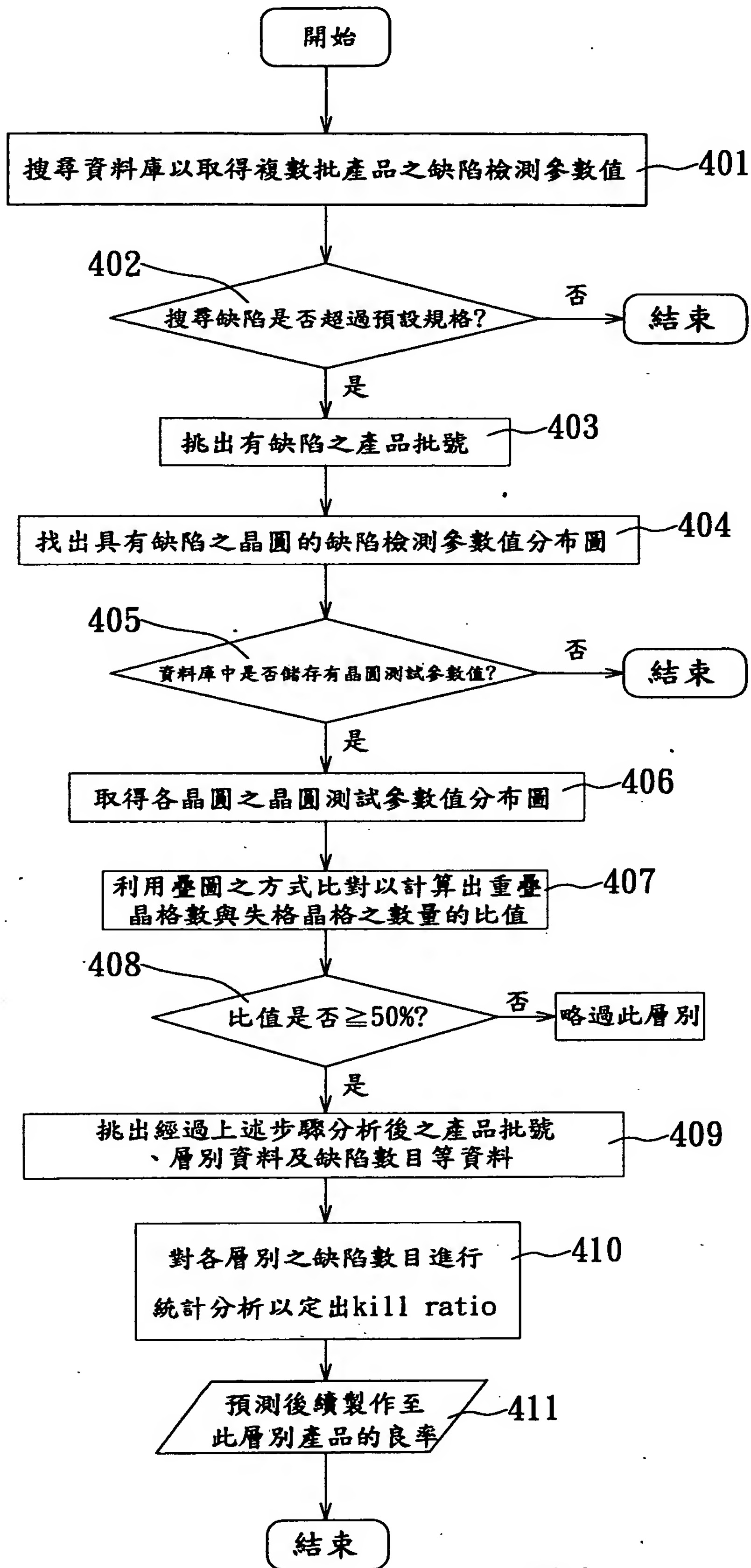


圖4

圖式

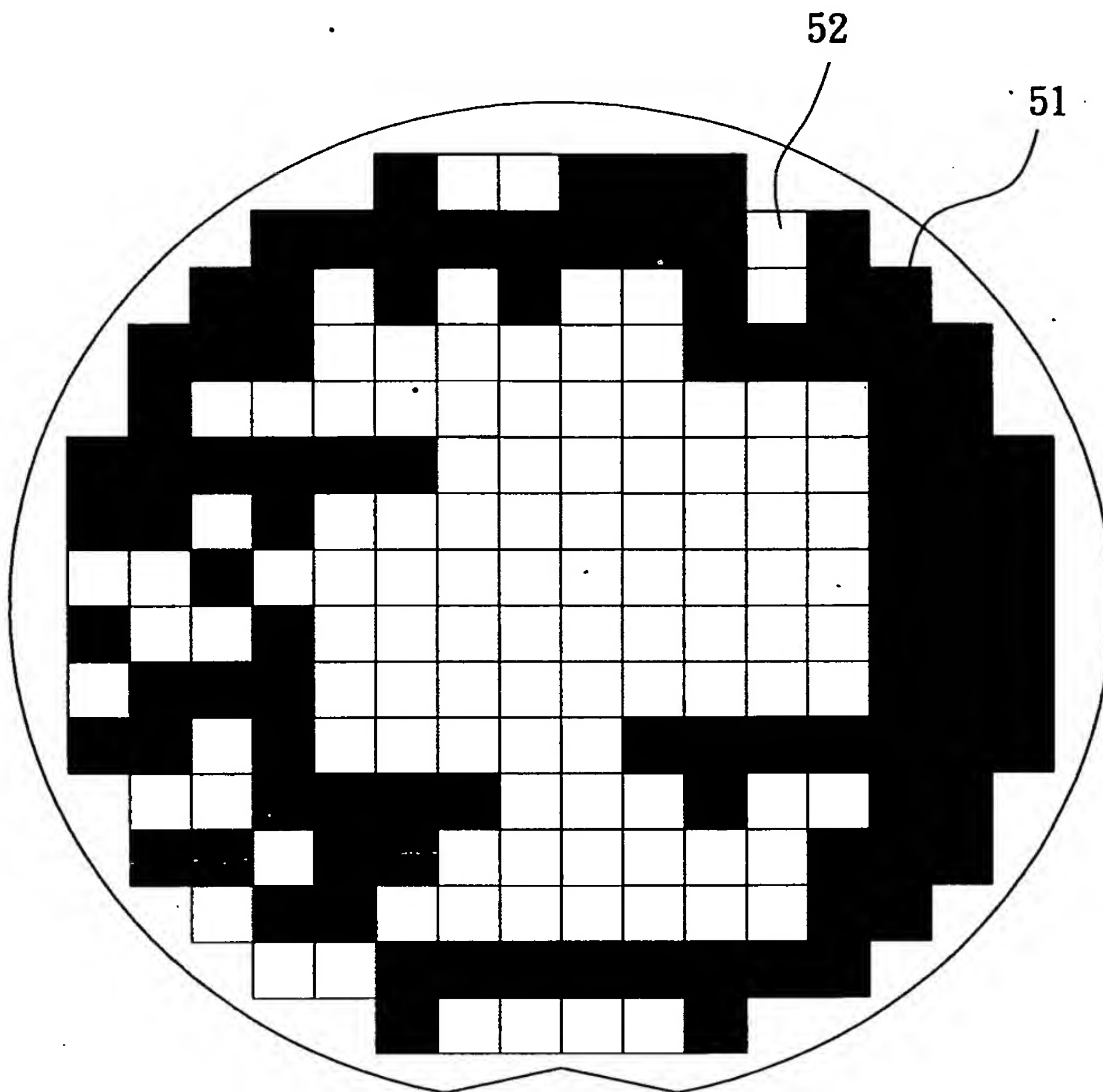


圖5